

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平11-506900

(43)公表日 平成11年(1999)6月15日

(51)Int.Cl.⁶
H 04 L 12/28
12/56
H 04 Q 3/00

識別記号

F I
H 04 L 11/20
H 04 Q 3/00
H 04 L 11/20
G
102D

審査請求 未請求 予備審査請求 未請求(全48頁)

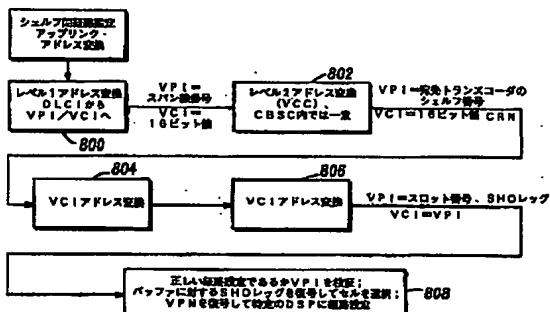
(21)出願番号 特願平9-532582
(22)出願日 平成9年(1997)1月15日
(85)翻訳文提出日 平成9年(1997)11月14日
(86)国際出願番号 PCT/US97/00436
(87)国際公開番号 WO97/34393
(87)国際公開日 平成9年(1997)9月18日
(31)優先権主張番号 08/616,845
(32)優先日 1996年3月15日
(33)優先権主張国 米国(US)
(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, LU,
MC, NL, PT, SE), BR, CA, CN, JP,
KR

(71)出願人 モトローラ・インコーポレイテッド
アメリカ合衆国イリノイ州60196シャンバ
ーク、イースト・アルゴンクイン・ロード
1303
(72)発明者 タイムス、ジェフリー・エル
アメリカ合衆国テキサス州ケラー、ハイラ
ンド・オーク・ドライブ1514
(74)代理人 弁理士 大貫 進介(外1名)

(54)【発明の名称】 仮想経路ベースの静的経路設定

(57)【要約】

発信元ノードと第1群中間ノードを含む第1ノード群と、宛先ノードと第2群中間ノードを含む第2ノード群とを含む複数のノードを有するセル・ベースの交換方式において、複数のノードのそれぞれが、経路設定情報を格納するためのアドレス変換テーブルを含む。第1群中間ノード内のアドレス変換テーブルは、発信元ノードにおいてデータを受け取る前に、第1群中間ノードから第2群中間ノードに至る予め構成された経路を定義するようによく構成される。発信元ノードから宛先ノードへとセルを経路設定すべきであるという決定に応答して、発信元ノード内のアドレス変換テーブルは、発信元ノードから第1群中間ノードおよび予め構成された経路を介して、第2群中間ノードに至る経路を定義するように構成される。ついで、第2群中間ノード内のアドレス変換テーブルは、第2群中間ノードから宛先ノードに至る経路を定義するよう構成され、発信元ノードから宛先ノードに至る経路の一部分は、発信元ノードでデータを受け取る前に予め構成される。



第10図

【特許請求の範囲】

1. 第1ノード群内の発信元ノード、前記第1ノード群内の第1群中間ノード、第2ノード群内の宛先ノード、および前記第2ノード群内の第2群中間ノードを含む複数のノードを持つセル・ベースの交換方式においてセルを効率的に経路設定する方法であって、前記複数のノードはそれぞれ、経路設定情報を格納するためにアドレス変換テーブルを含む方法であって、前記方法は：

前記発信元ノードにおいてデータを受け取る前に、前記第1群中間ノード内のアドレス変換テーブルを、前記第1群中間ノードから前記第2群中間ノードまでの予め構成された経路を定義するように予め構成する段階；および

前記発信元ノードから前記宛先ノードへとセルを経路設定すべきであるという決定に応答して：

前記発信元ノード内のアドレス変換テーブルを、前記発信元ノードから前記第1群中間ノード、および前記予め構成した経路を介して、前記第2中間ノードに至る経路を定義するように構成する段階；および、

前記第2群中間ノード内のアドレス変換テーブルを、前記第2群中間ノードから前記宛先ノードに至る経路を定義するように構成する段階；

によって構成されることを特徴とする方法。

2. 前記セル・ベースの交換方式はさらに、第3ノード

群内の第3群中間ノードを含む第3ノード群を含み、前記方法はさらに：

前記発信元ノードにおいてデータを受け取る前に、前記第1群中間ノード内および前記第2群中間ノード内のアドレス変換テーブルを、前記第1群中間ノードから、前記第2群中間ノードを介して、前記第3群中間ノードに至る第2の予め構成された経路を定義するように予め構成する段階；および

前記発信元ノードから第2宛先ノードへとセルを経路設定すべきであるという決定に応答して：

前記発信元ノード内のアドレス変換テーブルを、前記発信元ノードから前記第1群中間ノード、および前記第2の予め構成した経路を介して、前記第3群中間ノードに至る経路を定義するように構成する段階；および、

前記第3群中間ノード内のアドレス変換テーブルを、前記第3群中間ノードから前記第2宛先ノードに至る経路を定義するように構成する段階；

によって構成されることを特徴とする請求項1記載の効率的にセルを経路設定する方法。

3. 前記発信元ノードにおいて受け取ったデータを持つセルを構築し、前記セルは、予め構成された経路識別子および宛先識別子を持つ2パート・ヘッダを含む段階；

前記発信元ノードを含むノード群から、選択されたノード群へと、前記予め構成された経路識別子を使って、前記

セルを経路設定する段階；および

前記選択されたノード群内の前記セルを、前記宛先識別子を使って、前記宛先ノードに経路設定する段階；

によってさらに構成されることを特徴とする請求項1記載の効率的にセルを経路設定する方法。

4. アドレス変換テーブルを予め構成する段階はさらに、前記第1群中間ノード内でアドレス変換テーブルを、前記第1群中間ノードから前記第2群中間ノードに至る予め構成された経路を、前記セル・ベースの交換方式の初期化中に定義するように予め構成する段階を含むことを特徴とする、請求項1記載の効率的にセルを経路設定する方法。

5. セル・ベースの交換方式においてセルを効率的にセルを経路設定する方式であって：

第1ノード群内の発信元ノード、前記第1ノード群内の第1群中間ノード、第2ノード群内の宛先ノード、および前記第2ノード群内の第2群中間ノードを含む複数のノードであって、前記複数のノードがそれぞれ、経路設定情報を格納するため、アドレス変換テーブルを含む複数のノード；

前記発信元ノードにおいてデータを受け取る前に、前記第1ノード群内のアドレス変換テーブルを、前記第1群中間ノードから前記第2群中間ノードに至る予め構成した経路を定義するように予め構成する手段；

前記発信元ノードから前記宛先ノードへとセルを経路設

定すべきであるという決定に応答して、前記発信元ノード内のアドレス変換テーブルを、記発信元ノードから、前記第1群中間ノードおよび前記予め構成した経路を介して、前記第2中間ノードに至る経路を定義するように構成する手段；および、

前記発信元ノードから前記宛先ノードへとセルを経路設定すべきであるという決定に応答して、前記第2群中間ノード内のアドレス変換テーブルを、前記第2群中間ノードから前記宛先ノードに至る経路を定義するように構成する手段；によって構成されることを特徴とする方式。

6. 前記セル・ベースの交換方式はさらに、

前記第3ノード群内の第3群中間ノードを含む第3ノード群；

前記発信元ノードにおいてデータを受け取る前に、前記第1群中間ノードおよび前記第2群中間ノード内のアドレス変換テーブルを、前記第1群中間ノードから、前記第2群中間ノードを介して、前記第3群中間ノードに至る第2の予め構成した経路を定義するように予め構成する手段；

前記発信元ノードから第2宛先ノードへとセルを経路設定すべきであるという決定に応答して、前記発信元ノード内のアドレス変換テーブルを、前記発信元ノードから、第1群中間ノードおよび前記第2の予め構成した経路を介して、前記第3群中間ノードに至る経路を定義するように

構成する手段；および、

前記発信元ノードから第2宛先ノードへとセルを経路設定すべきであるという決定に応答して、前記第3群中間ノード内のアドレス変換テーブルを、前記第3群中間ノードから前記第2宛先ノードに至る経路を定義するように構成する手段；

を含むことを特徴とする請求項5記載の効率的にセルを経路設定する方式。

7. 前記発信元ノードにおいて受け取ったデータを持つセルを構築する手段であって、前記セルは、予め構成された経路識別子と宛先識別子とを有する2バ

ト・ヘッダを含む手段；

前記発信元ノードを含むノード群から、選択したノード群へと、前記予め構成した経路識別子を用いて、前記セルを経路設定する手段；および、

前記選択されたノード群内の前記セルを、前記宛先識別子を用いて、前記宛先ノードへと経路設定する手段；

をさらに含むことを特徴とする請求項5記載の効率的にセルを経路設定する方式。

8. 前記アドレス変換テーブルを予め構成する手段はさらに、前記第1群中間ノード内のアドレス変換テーブルを、前記第1群中間ノードから前記第2群中間ノードに至る予め構成された経路を、前記セル・ベースの交換方式の初期化の間に定義するように予め構成する手段を含むことを特

徴とする、請求項5記載の効率的にセルを経路設定する方式。

【発明の詳細な説明】

仮想経路ベースの静的経路設定

発明の分野

本発明は、通信システムに関し、さらに詳しくは通信システム内でデータの経路を設定する方法および装置に関する。より詳しくは、通信システム内の発信元ノードから宛先ノードへとセルの経路を設定する方法および装置に関する。

発明の背景

従来の通信交換網では、ファクシミリ、電子メールまたは音声などのデータが、確立された経路に沿って配信できるようになるには、送信元と受取り先との間に通信路が確立さなければならない。通信路をセットアップしたり解放したりする時には、網にわたって伝搬遅延が生じる。従来の通信交換網は、電話の呼の宛先を割り出すと直ちに、遠隔のデータベース・システムにメッセージを送信して、特定の呼に対する経路設定情報を要求する。遠隔のデータベース・システムは経路設定情報のメニューを提供し、経路設定情報は、通信交換網からの要求に従って、データベー

ス・システムによって選択される。しかしながら、従来の通信交換網は、非同期転送モード（ATM）のセルを含む呼に応答して、局所的に経路設定情報を生成する機能を持たない。

ATM通信システム内のATMセルに関連するセル・リレー技術は、通信システムにとって極めて優れた方法になりつつある。このような網は、データ、音声、画像および映像などの種々の用途からの多岐に渡るトラヒックを搬送できる。

できるだけ少ない共有資源を使用して効率的にノード間で情報を移動する際、経路に沿っての動作条件が様々であるため（すなわち、ノード対の間に複数の経路が存在する）に最良の経路、経路設定を同時通信するためにシステムにわたって移動しなければならない制御オーバヘッドの量（その結果、共有伝送経路内で追加オーバヘッドが生じる）、および呼の始めと終わりにシステム資源をセットアップして解除するための資源配分を勘案して、比較考量する。セル交換方式において高い処理能力と最小の遅延を達成するために、種々の方式が採られた。こ

これらの方は、リターン・アドレスを含むために、セルのペイロードの一部を利用することも含む。しかしながら、この方式では、アドレス・セルが、レジスター・セッションのためにルータ機構に送られるような中央制御システムが必要である。

他の先行方式は、経路セットアップ・セルと経路ティヤ

ーダウン (tear-down) セルを採用して、各種のノード間の接続路を確立、解放することも含む。このタイプの方式では、交換モデルは、仮想回線識別子を含む経路セットアップ・セルを生成して、中間広帯域交換モジュールの専用仮想回線に沿ったセルの接続路を識別し、データ・セルは、経路セットアップ・セルの直後で、接続の肯定応答が受信される前に伝送される。メッセージを短くするこのような方式は、ファクシミリ伝送、電子メールおよび音声には典型的な方式であり、実際にメッセージを送信する以上に、接続路を確立するのに時間がかかる可能性がある。

そのため、オーバヘッドと接続時間が低減されるセル処理を行うための経路設定情報を局所的に生成するような、改良型の通信交換方式を有することが望ましい。

発明の開示

本発明は、共有資源に関する要求条件を最小限を抑える形で、発信元ノードと宛先ノード間のデータ・ストリームを近似的に経路設定する方法および装置を提供する。本発明のアーキテクチャは、発信元ノードで受け取られたデータ・ストリームを柔軟性のある形で経路設定することと、集中資源の使用を最小限に抑えて、その結果呼のセットアップと解放をより迅速化することを提供する。本発明に従って、セルを経路設定する経路が、発信元ノードでセット

アップされる。発信元ノードと宛先ノード間の経路に沿った中間ノードは、交換方式内でセルの経路を設定する経路を選択するためには不要である。各中間ノードは、発信元ノードによって選択された経路に基づく次のノードへとセルを経路設定するのに必要な情報を含む。また、ネットワーク・トポロジーの変化の管理

が容易に処理でき、宛先ノードの数の増加に応答して拡張できる。本発明に従つて、交換網が呼の経路設定に採用される前に予め、発信元ノードと宛先ノード間の経路が識別される。その結果、中間ノード内の情報は更新する必要がない。それは、経路を識別するのに、呼ごとのノード間セットアップが必要ないためである。

図面の簡単な説明

第1図は、本発明による通信システムの図である。

第2図は、本発明による、第1図に示す通信システム内でデータを転送するのに使用するデータ構造のブロック図である。

第3図は、本発明により図示された中央ベースのサイト・コントローラ(CBSC)内のシェルフの図である。

第4図は、本発明によるフレーム内接続のブロック図である。

第5図は、本発明によるフレーム内接続のブロック図で

ある。

第6図は、本発明による複数のシェルフとフレームおよびそれらの相互接続に関するより詳細なブロック図である。

第7図は、本発明によるセルのブロック図である。

第8図は、本発明による、アップリンク経路を動的にセットアップする工程の流れ図である。

第9図は、本発明による、ダウンリンク経路を動的にセットアップする工程の流れ図である。

第10図は、本発明による、BTSIとトランスコーダ(transcoder)間のシェルフ間経路設定を伴うアップリンク・アドレス変換の流れ図を示す。

第11図は、本発明による、トランスコーダとBTSI間のシェルフ間経路設定を伴うダウンリンク・アドレス変換の流れ図である。

第12図は、本発明による、BTSIとトランスコーダ間のシェルフ内経路設定を伴うアップリンク・アドレス変換の流れ図を示す。

第13図は、本発明による、トランスコーダとBTSI間のシェルフ内経路設

定を伴うダウンリンク・アドレス変換の流れ図である。

第14図は、本発明による、アドレス変換に用いられる変換ランダム・アクセス・メモリ (TRAM) 内におけるレコード・フォーマットの図である。

第15図は、本発明による、ベース終端サイト・インタ

フェース (BTI) 内のパケット処理装置 (PPU) に関するTRAM内のデータ構造のブロック図である。

第16図は、本発明による、BTI内のバス・インターフェース装置 (BID) に関するTRAM内のデータ構造のブロック図を示す。

第17図は、本発明による、トランスコーダ内に配置されたトランシーバと接続されたTRAM内のデータ構造のブロック図である。

第18図は、本発明による、トランスコーダ内のBIDに関するトランスコーダTRAM内のデータ構造のブロック図を示す。

第19図は、本発明による、バス終端カード (BTC) 内のBIDと接続されたTRAM内のデータ構造のブロック図である。

第20図は、本発明による、BTC内に配置されたBID-Z TRAM内のデータ構造のブロック図である。

第21図は、本発明による、CBS内に経路をセットアップするための流れ図を示す。

好適な実施例の詳細な説明

ここで図、具体的には第1図を参照すると、本発明を実現できる通信システム100が示される。通信システム100は、中央ベースのサイト・コントローラ (CBS) 102を含み、これは図の例では、音声、データ、画像および映像など各種のソースからのデータ・ストリームを処理するためのセル・ベースの交換方式である。CBS102は、セルラ領域104、106との間でデータを送受信する。セルラ領域104は、ベース終端サイト (BTS) 108-112を含み、これらは移動電話との間で無線信号を送受信し、無線信号の通信内容を、データ・パ

ケット・ユニット内で伝達される電子データにパケット化する。BTSは、同期または非同期データ伝送を受信できる。パケットは、BTS108から112を接続するスパン線を介してCBSC102に送られる。これらのスパン線は、BTSをCBSC102と接続するT1線またはE1線とすることができます。同様に、セルラ領域106はBTS114から122を含み、これらも無線信号を受信し、信号をデータ・パケット・ユニットにパケット化し、データ・パケット・ユニットを、BTS114から122とCBSC102とを接続するスパン線を介して、CBSC102に送信する。

データは、各セルラ領域に配置されたBTSからの伝送を介して、CBSC102から、移動装置125などの移動電話に送信することができる。セルラ領域106内を移動する移動装置125は、1つの呼に対して、BTS122, 120など複数のBTSによって受信できる無線信号を伝送する。移動装置125から無線信号を受信する各B

TSは、データをスパン線を介してCBSC102に伝送する。ある時点で、2つのBTSのうち1つのみが、移動装置125から無線信号を受信する。移動装置125は、BTSの範囲外で移動するからである。同様に、移動装置は、移動装置125の位置に依存して、複数のBTSから無線信号を受信できる。このように、1つの呼に対して複数のBTSで無線信号を受信することは、後に説明するように、CBSC102内のソフト・ハンドオフ(soft hand-off) (SHO)と関連する。CBSC102は、パケット化されたデータを発信元ノードで受け取り、パケット・データ・ユニットを非同期伝送モード(ATM)セルに変換して、宛先ノードに転送し、宛先ノードは、一般加入電話網(PSTN)およびローカル・エリア・ネットワーク(LAN)124など各種の宛先につなぐことができる。

CBSC102はまた、ATM網126と接続されており、ATM網はCBSC128と接続される。CBSC102と同様、CBSC128は、セルラ領域130内で、BTS132から138から無線信号を受信する。CBSC128はまた、PSTN140との接続を提供する。

ここで第2図を参照して、第1図の通信システム100においてデータを転送するのに使用されるデータ構造のブロック図が、本発明に従って示される。パケット200は、BTS118など、第1図に示されるBTSの1つにおいて

て受信される符号分割多元接続(CDMA)パケットの形態をとる電子データ・パケットである。パケット200は、CDMAに関する音声データを含む。BTS118で受信されると、パケット200は、パケット・データ・ユニット(PDU)202に変換される。PDU202は、スパン線に沿ってCBSC102に送られ、CBSC102内のセルに変換される。PDU202は、技術上知られている任意のフォーマットでよいが、図の例では、このフォーマットは、非同期伝送用のフレーム・ユーザ・ネットワーク・インターフェース(FUNI)である。同期伝送には既知の任意のフォーマットを採用できる。FUNIフォーマットに基づくPDUは各種の寸法をとることができが、ヘッダはセルのヘッダ方向に向く。FUNIに関する詳細は、ATM Forum Technical Committee(カリフォルニア州フォスター・シティ)から入手できるFrame Based User-to-Network Interface(FUNI)仕様書に記載されており、ここに参考資料として包含される。PDU202は、CBSC102内のセル204に変換される。

セル204は、発信元ノードから宛先ノードへとデータを運ぶのに、CBSC102内で用いられるデータ構造の例である。セル204は、ヘッダ部分204aとペイロード部分204bを含む。ヘッダ部分204aは、他のオーバヘッド情報と共に、セル204を経路設定するのに用いられる情報を含む。データは、ペイロード部分204b内

に配置される。いわゆるデータ・リンク接続識別子(DLCI)は、ATM仮想経路識別子(VPI)と仮想チャネル識別子(VCI)との組み合わせ(CBSC内で一意の組み合わせ)に変換される。標準のATMヘッダにおいて、VPIフィールドは長さ8ビットであり、VCIフィールドは長さ16ビットである。ATMヘッダはまた、他の制御情報を含む。ATM技術に関する詳細は、Ger

alski著「Introduction to ATM Networking」(McGraw-Hill, Inc., 1995年)、ISBN0-07-024043-4に記載されており、ここに参考資料として包含される。

ここで第3図を参照して、本発明に従って、CBSC102内のシェルフのブロック図が示される。図の例では、CBSC102はシェルフ300から324を含む。典型的なCBSCシステムは、複数のシェルフとフレームを含む。シェルフは図の例ではフレーム1から4にグループ分けされる。無論、本発明に従って、他のフレーム数およびフレーム内のシェルフの数も使用できる。本発明によれば、シェルフをフレームにグループ分けすることは、論理的でも物理的でもよい。これらのシェルフは、ノード対間、すなわち発信元ノードと宛先ノード間でデータを伝達するのに用いられる内部交換機構の一部である。

そのため本発明は、シェルフ間における経路設定（すなわち、シェルフ間経路設定）が、静的VPCベースの変換

の指示の下で発生するのに有利であり、この経路設定は、システム構成中に定義され、動作中は変化しない（但し、シェルフの追加など、トポロジーが変化する場合はその限りでない）。これとは対照的に、シェルフ内の経路設定（すなわち、シェルフ内経路設定）は、動的に指定されたVCCベースの変換の指示の下で発生し、これは呼ベースで定義される。ここでは、発信元および宛先における変換のみを動的に割り当てる一方、（発信元ノードと宛先ノード間の）中継経路設定資源は、伝送（provisioning）中にセットアップされ、システムの動作中、静的であるように改良される。このため、呼を経路設定する労力は、制御メッセージの量を最小限に押さえることと、呼の要求が出される時に呼をセットアップするため送信しなければならない資源を集中化することによって低減される。例えば、BTSで受信されるデータは、スパン線を介してBTSインターフェース（BTSI）にリレーされる。データはBTSIのセルに配置され、トランスクーダに送られ、BTSIが発信元ノード、トランスクーダが宛先ノードとなる。BTSIおよびトランスクーダの詳細説明は後で行う。PDU202は、第3図に示されるシェルフの1つ内で受信され、セル204に変換される。

ここで第4図を参照して、フレーム内接続を示すブロック図が、本発明に従って示される。図を見て分かるように、フレーム2内のシェルフ306, 308, 310はリング

配列で接続される。セルは、このリング接続の中で、フレーム内のシェルフ間を移動する。次に第5図を見ると、フレーム間接続を示すブロック図が、本発明に従って示される。第5図において、フレーム1から4内のシェルフは互いに相互接続されて、各フレームが、CBSCL02内の別のフレームとの接続を有するようとする。シェルフ内の接続を有する経路は、シェルフ内経路として知られる。フレーム内のシェルフ間の経路は、フレーム内経路として知られ、一方、異なるフレーム内に配置されたシェルフ間の経路はフレーム間経路として知られる。セルは、発信元ノードにおいて割り当てられたVPI, VCIおよびスロット識別子を用いて、種々のシェルフを通じて経路設定される。宛先ノードは、発信元ノードと同じシェルフ内にも、或いは異なるシェルフ内にも配置できるが、このノードでは、セルは、セルのヘッダに付加されるスロット識別子に基づき、宛先ノードによって認識される。セルを経路設定する方法およびアキテクチャについては以下に詳述する。

ここで第6図を参照して、複数のシェルフとフレーム、およびそれらの相互接続に関する詳細な図が、本発明に従って示される。シェルフ400内で、セル・バス402は、BTSI404と、トランスコーダ406と、バス終端カード(BTC)408との間との接続を提供する。図の例で、BTC408は、シェルフ間で伝達されているセルの中間ノードとして働き、トランスコーダ406は、データ。

ストリームが流れている方向に依存して、発信元ノードまたは宛先ノードのいずれにもなることができる。BTSI404は、フレーマ410を含み、これは、スパン線を介してBTSとの間でPDUのデータ・ストリームを送受信する。フレーマ410は、本発明によれば、1から8本のスパン線と接続できる。無論、通常の当業者は、他の数のスパン線もフレーマ410と接続できることを理解し

よう。パケット処理装置（PPU）412は、フレーマ410と接続されており、フレーマ410によって受信されたPDUからのデータをセルに配置して、CBSC102内に伝達する。PPU412は、BTSI40によって受信されたセルを取得して、このセルを、フレーマ410を介してBTSに送られるPDUに変換する。

第7図は、本発明によるセルの詳細図を示す。セル500は、セル・バス経路設定ヘッダ（CBRH）502、ヘッダ504およびペイロード506を含む。CBRH502は、CBSC102内のバス・インターフェース装置（BID）の経路設定情報を含む。ヘッダ504は、包括的（generic）フロー制御（GFC）フィールド、VPIフィールドおよびVCIフィールドを含む。ペイロード・タイプの識別子フィールドおよびセル損失優先順位フィールドも、ヘッダ504のバイト4にある。セル500の残りの部分はペイロード506であり、これは宛先ノードに伝送するためのデータを含む。セル500は、CBRH502

がヘッダ504に付加された場合を除いて、標準ATMセルである。

第6図に戻って、PDUをセルに変換する際、PPU412は、PDUからアドレスを抽出して、このアドレスを使用して、変換ランダム・アクセス・メモリ（TRAM）414にアクセスして、PDUをセルに変換する間にアドレス変換を実行する。これらのPDUをセルに変換することは、本発明の好適な実施例に従って、ATM適応層（AAL）5に基づくATM適応層機能を用いて実施される。このアドレス変換は、レベル1アドレス変換ともいう。このレベル1アドレス変換は、セルのヘッダを形成するために使用される情報を有する、論理-論理マッピングである。セルがPDUに変換されると、PPU412は、セルのヘッダ内のVCIからチャネル番号およびリンク番号を抽出する。チャネル番号およびリンク番号は、セルのペイロード内のデータと共に用いられてPDUを形成する。

BTSI404はまた、PPU412と接続されたBID-J416を含む。BID-J416は、セル・バス402とのインターフェースを提供する。セルが、PPU412によってBID-J416に渡される時、TRAM418は、B

ID-J416によって、レベル2アドレス変換ともいわれる第2アドレス変換を実施するために使用される。このレベル2アドレス変換は、仮想チャネル接続（VCC）アドレス変換であり、これは、元のVPIおよびVCIを新

しいものに置き換え、新しいVPIは宛先シェルフ識別に相当し、VCIは、呼の論理識別子である呼参照番号（CRN）またはDSPなどの装置（ターゲットともいう）の識別子に相当する。CRNは、セルを、シェルフ間またはフレーム間経路に沿って、宛先ノードへと経路設定する時に、VCIの中で使用される。装置の識別子は、セルをシェルフ内経路を介して宛先ノードに送る時に、VCIの中で採用される。

レベル1アドレス変換は、BTSI404内においてのみ一意であるVPIおよびVCIを提供する。本発明に従って、レベル1アドレス変換は、BTSIおよびトランスコーダで使用される。なぜなら、これらのノード内のBIDは、入力としてセルを必要とするからである（すなわち、BIDとの接続は、ユートピア規格に基づくバスを利用する）。ユートピア規格に関する詳細は、ATM Forum Technical Committee（カリフォルニア州フォスター・シティ）から入手できるUtopia Level 2, V1.0, af-phy-0039.000に記載され、ここに参考資料として含まれる。ユートピア規格に関するさらなる情報は、ATM Forum Technical Committeeから入手できるUtopia Level 1にも記載される可能性がある。

発信元ノード、すなわちBTSI404におけるレベル2アドレス変換の結果、CBS-C全体に渡って一意であるVPIおよびVCIとなり、特定のシェルフおよび装置を

識別する。宛先ノードがトランスコーダである場合には、VCIはCRNであり、これを用いて、音声処理のために指定されたデジタル信号プロセッサ（DSP）を識別する。また、宛先ノードに至る経路の次のノードのスロット識別に相当するセル・バス経路設定ヘッダ（CBRH）が付加される。このCBRHは、セルのヘッダに付加されて、本発明に従ってATMセルの通常の長さを変更する

。シェルフ内経路の場合には、CBRHは、BTSI、トランスコーダまたは網間インターフェースなどのシェルフ内の別のカードのスロット識別に相当する。シェルフ間、フレーム内またはフレーム間経路の場合、スロット識別はBTCカードの識別となる。このタイプのアドレス変換は、数値の論理-物理マッピングである。好適な実施例では、BID-J416のみが、セルをセル・バス402に配置する時に、アドレス変換を実施する。PPU412によって処理されるために、BID-J416によってセル・バス402から除去されたセル上では、アドレス変換は実施されない。

第6図に示すように、トランスコーダ406は、DSP420, 422を含み、これらは、トランスコーダ406によって受信されたデータを、PSTN内で使用するフォーマットに配置する。トランスコーダ406は、BID-K424でセルを受信する。BID-K424は、セルのヘッダ内のCBRHを検査し、これによって、スロット識別がトランスコーダ406のスロット識別であるか判断する。

とによって、セル・バス402からセルを除去するか否かを決定する。好適な実施例では、時間を消費するアドレス変換は、セル・バス402からセルを除去する時に、BID-K424においては実施されない。

これらのセルはトランシーバ426に渡され、これは、セルのヘッダ内にあるVCI内で、DSP音声プロセッサ番号(VPN)フィールドを抽出する。VCIは、データを音声処理するためにDSP420またはDSP422のいずれかに経路設定するのに、トランシーバ426によって用いられる。DSP VPNフィールドは、トランシーバ426と接続されたTRAM428内に格納されたデータを用いて、VCIから抽出される。

トランシーバ426はまた、DSP420またはDSP422のいずれかによって受信されたデータを、セルの中に配置して、CBSC102内で伝達するのにも用いられる。DSPの1つからデータを受信する時、トランシーバ426は、TRAM428を用いて、VPI番号とVCI番号を指定して、レベル1アドレス変換を実施して、セルのヘッダ内に配置する。このデータは、トランシーバ

426によって、セルのペイロード部分に入れられる。このセルは、BID-K424に転送されて、後にバス402へと伝送される。セルをセル・バス402に配置する前に予め、BID-K424は、TRAM430を用いて、宛先スロット番号を識別して、レベル2アドレス変換を実施する。B

ID-K424は、レベル2アドレス変換の一環として、CBRHをセルのヘッダに付加する。

BTC408は、BID-A434, BID-B436, BID-C438およびBID-D440を相互接続するセル・バス432を含む。TRAM-A442, TRAM-B444およびTRAM-C446はそれぞれ、BID-A434, BID-B436およびBID-C438と接続される。これらのTRAMは、VPIのみがアドレス変換に含まれる仮想経路接続（VPC）のために使用される。BID-D440は、TRAMを持たない。なぜなら、好適な実施例では、アドレス変換は、セルがセル・バス上に配置される場合にのみ実施されるからである。BTC408も、BID-Z450を含んでおり、これは、BID-B436およびセル・バス402との接続を提供する。これらのBIDはそれぞれ、セルのヘッダ内のVPIにのみ基づき、セルを適切な宛先に経路設定するのに採用される。各BIDは、セルのヘッダに付加されたCBRHに基づき、BIDによってセルを経路設定すべきか否かを決定する。この場合も、BTCは、暫定的経路設定、すなわち先行技術に対する改良のための静的経路設定変換を提供するのに有利である。

本発明に従って、アドレス変換が実施されるのは、セルがセル・バス上に配置される場合だけであり、各アドレス変換は、セルのヘッダに付加された既存のCBRHに置き

換わる新しいCBRHを提供する。次のノード（すなわち、BTSI, トランスクーダまたは別のBTC）のスロット識別番号はCBRHとして格納され、セルを、宛先ノードに至る経路内の次のノードに経路設定するのに用いられる。VPIは、これらのBIDのアドレス変換では同じままである。

図に示すように、フレーム内リング452は、BTC408を、シェルフ456内のBTC454と接続する。セル・バス458は、BTC454とBTSI460、トランスクーダ462、および網間インターフェース464との間に接続を設ける。別のタイプのシェルフ間接続を示すと、相互接続466は、図に示すように、シェルフ400をシェルフ468と接続する。シェルフ468内では、BTC472内のセル・バス470もBID-X474を含み、これは、例えば、第1図に示すLAN124など、CBSCL02外部の宛先とのインターフェースを提供する。

シェルフ内の各種の構成要素は、本発明により、既知の装置を用いて実現できる。例えば、BIDは、Transwitch Corporation (コネチカット州シェルトン) 製のCubitを使用して実現される。(「Cubit」はTranswitch Corporationの商標ではないことに注意されたい。) Cubitとその用途については、Cell Bus, Technical Manual and Cubit Applications, 文書番号T XC-05801-TM1、およびCubit Device,

Cell Bus Switch, Data Sheet, 文書番号T XC-05801-MB (共にTranswitch Corporation (コネチカット州シェルトン) から入手できる) に記載されており、ここに参考資料として包含される。フレーマ410は、AT&T Corp.から入手できるT7630T1/E1フレーマなどの既知のフレーマを使用して実現できる。PM4344は、PMC-Sierra (カナダ、バーナビー) から入手できるフレーマである。アドレス変換、セルの作成およびパケット処理装置412の他の機能は、特定用途向けIC (ASIC) 設計を使用して実現できる。

ここで第8図を参照して、アップリンク経路を動的にセットアップする工程の流れ図が、本発明に従って示される。この工程は、BTSスパン線上で発呼を検出することから開始する (ステップ600)。この呼は通常、BTSにおいて受信される移動電話-陸上間 (mobile-to-land) 呼であり、データはスパン線を介してBTSIに転送される。この工程はついで、呼を受け付けるか否か (ステップ602)、例えば、網が、呼をセットアップするのに必要な資源を有するか否

かを判断する。工程が呼を受け付けない場合には、工程は終了する。そうでない場合には、BTSチャンネル参照番号がその呼に割り当てられる（ステップ604）。このBTSチャンネル参照番号は、DLCIまたはフレーム・アドレス（FA）である。ついで、呼を処理するために、トランスコーダのDSPを指定する（ステッ

プ606）。本発明により、呼は、発信元ノードのシェルフ上に配置されたBTS、またはなんらかの中央制御システムによってセットアップすることができる。

次に、経路が、シェルフ間経路にデータを伝達する必要があるか否かを決定する（ステップ608）。経路がシェルフ間経路を必要とする場合には、工程は、シェルフ間経路の情報を使用して、BTSIにおいてレベル2RAM変換レコード（TR）を更新する。これを行うには、トランスコーダのシェルフ識別に等しいVPIおよびVCIを、CBS内で一意のセル経路設定番号（CRN）に設定する。この例では、CRNは16ビットの数字である。また、RAM変換レコード内のCBRHは、BTSIカードが入るシェルフからセルを外す対象であるBTCのアクティブなBTCスロット番号に等しく設定される。その後、この呼に関連したBID-Z RAM変換レコードが、トランスコーダを入れる宛先シェルフ内に配置されたBTC内で更新される（ステップ610）。VPIは、宛先トランスコーダのスロット番号およびソフト・ハンドオフ（SHO）レッグ番号（すなわち、各SHOのレッグは、論理呼に対するアクティブ・リンクである）に等しく設定される。VCIは、この呼を処理するDSPの音声処理番号に等しく設定される。CBRHは、宛先トランスコーダのスロット識別番号に等しく設定され、この工程はこれで終了する。

再度ステップ608を参照して、経路がシェルフ間経路

でない場合には、この工程は、シェルフ内経路のために、BTSI内でレベル2RAM変換レコードを更新する（ステップ614）。これを行うには、宛先トランスコーダのシェルフ識別に等しくVPIを設定し、DSPのVPNを配置し

て、情報を処理し、VCI内のSHOレッグ番号を処理する。CBRHは、トランスクーダのスロット識別番号に等しく設定され、工程が終了する。

ここで第9図を参照して、ダウンリンク経路を動的にセットアップする工程の流れ図が本発明に従って示される。この工程は、トランスクーダ内でレベル1TRAM変換レコードを更新することから開始する(ステップ700)。好適な実施例では、これを行うには、レコードの一部分を、アクティブなレッグ識別子に等しく設定し、呼参照番号のSHOレッグに対する一時VCIを指定する。シェルフ間経路に沿ってセルを経路設定するか否かについて判断する(ステップ702)。セルをシェルフ間経路に沿って経路設定する場合には、工程は、シェルフ間宛先ノードのために、トランスクーダ内でレベル2TRAM変換レコードを更新する(ステップ704)。これを達成するには、宛先BTSIのシェルフ識別番号に等しくVPIを設定し、VCIを16ビットのCRNに設定する。またCBRHは、シェルフからセルを移動するアクティブなBTSスロットに等しく設定される。

ついでこの工程は、宛先シェルフ内でBID-ZのTRA

M変換レコードを更新する(ステップ706)。これを行うには、スパン線番号とBTSIのスロット識別番号とをVPIに入れる。またVCIは、DLCIに等しく設定される。また、VCIを論理チャンネル番号に等しく設定することもできる。論理チャンネル番号は、スパン線を介して伝送される複数の呼から1つの呼を識別するのに用いられる。この論理チャンネル番号は、フレーム・アドレスまたはDLCIを取得するのに使用される。CBRHは、BTSIのスロット識別番号に等しく設定され、工程はその後終了する。

ステップ702に戻って、工程がシェルフ内経路を必要とする場合には、シェルフ内の宛先ノードのために、トランスクーダ内でレベル2TRAM変換レコードが更新される(ステップ708)。この変換レコードは、宛先BTSIのスロット識別番号とスパン線番号とを、変換レコードのVPI部分に入れることによって更新される。このVCIは、16ビットのCRNを含む。CBRHは、宛先BTSIのスロット識別番号を含み、工程はその後終了する。

ここで第10図を参照して、BTSIとトランスコーダ間のシェルフ間経路設定を伴うアップリンク・アドレス変換の流れ図が、本発明に従って示される。この工程は、データ・ストリームを受け取ったことに応答して、BTSI（発信元ノード）が、レベル1アドレス変換を実施して、DLCIをVPIとVCIに変換することから始まる（ス

テップ800）。VPIは、スパン線番号に等しく設定され、VCIは一時的数値に等しく設定される。次に、BTSIはレベル2変換を実施し、これはVCCアドレス変換である（ステップ802）。VCCアドレス変換は、VPIとVCIの両方を含み、一方VCCアドレス変換は、セル内にVPIのみ含む。この変換の結果、CBS内では一意のVPIとVCIが生じ、CBRHを提供する。VPIは、宛先スロット識別を含み、これは例えば、宛先トランスコーダのシェルフ識別番号である。VPIの一部も、SHOレッグ番号を符号化するのに使用できる。VCIは、音声処理番号を含むために後で使用されるCRNを含む（VPN）。

次に、VPCアドレス変換が、セルの受信に応答して、BTCで発生する（ステップ804）。VPIが検査されて、セルを宛先トランスコーダに至る経路内の次のノードに導くためにCBRHを識別する。VPIは、このアドレス変換後も同じままである。VCCアドレス変換は、セルの受信に応答して、宛先BTCで発生する（ステップ806）。宛先BTCは、トランスコーダ（宛先ノード）の前にくるノードであり、当該BTCにおけるVCCアドレス変換は、セルのヘッダ内のVPIを、トランスコーダのスロット番号とSHOレッグの識別とを含むVPIに置き換える。VCIは、VPNとSHOレッグ番号とを取得するために用いられ、これらがVCI内のCRNと置き換わる。

CBRHは、宛先トランスコーダのスロット識別番号に等しく設定される。

セルの受信に応答して、トランスコーダはセルのヘッダを処理して、セルのペイロード内のデータを、適切なDSPに導く（ステップ808）。セルのヘッダを処理する際、トランスコーダは、VPIを検査することによって、セルの正し

い経路設定を検証する。またトランスコーダは、VPIおよびVCIを復号して、指定されたバッファに対するSHOレッグ番号を識別してセル選択を行う。セルは、各経路から、呼に関連するトランスコーダにバッファリングされる。異なるレッグに対して全部のセルが受信された後、最良のデータを含むセルの選択が行われて、DSPによって処理される。VCIは、音声処理番号(VPN)を検索するのに使用され、この番号は、データをトランスコーダ内の特定のDSPに経路設定するのに使用される。図に示した流れ図は、BTSI(発信元ノード)とトランスコーダ(宛先ノード)間の中間ノードとして1個のBTCのみを含んでおり、ステップ804のアドレス変換などのアドレス変換が実施される場合には、さらなる中間ノードも存在できる。

次に第11図を見ると、トランスコーダとBTSI間のシェルフ間経路設定を伴うダウンリンク・アドレス変換の流れ図が、本発明に従って示される。この工程は、トランスコーダがレベル1アドレス変換を実施して、音声データ

のサンプルを、1つの論理呼に対して複数のレッグがアクティブになっている有効長(active length)の数に等しいVPI/VCI対の数に関連づけることから始まる(ステップ900)。VPIは、VPNを取得するために後で使用されるCRNを含む。また、VPIはVPNを直接識別でき、この場合、VPIはVPNの識別子である。VCIは、レッグ番号の一時的数値である。次に、トランスコーダは、レベル2アドレス変換を実施する(ステップ902)。この変換は、CBSに渡って一意であるアドレスを提供する。この変換において、VPIは、宛先BTSIのシェルフ番号を含む。VCIはCRNを含み、CBRHは次のノード、すなわちBTCのスロット識別番号を含み、これは宛先BTSIへとセルを経路設定する。

次に、VPCアドレス変換が、トランスコーダと同じシェルフ上に配置されたBTCにおいて実施される(ステップ904)。このタイプのアドレス変換も、宛先BTCの前に、任意の数のBTCを追加して実施される。宛先BTSIシェルフ内の宛先BTCにおいて、VCCアドレス変換がセル上で実施される(ステップ906)。このVCCアドレス変換は、BTSIのスロット識別番号および

スパン番号を、セルのVPI内に入れる。セル内のVCIは、DLCIまたはチャンネル番号と置き換わる。

BTSIにおいて、セルのヘッダが処理される（ステップ908）。セルのヘッダを処理する際、BTSIは、セ

ルが正しく経路設定されたことを、VPIを検査することによって検証する。VCI/VPI対は、それぞれスパン線番号およびDLCIを取得するために復号される。DLCIは、VCIの直接変換によって含めることができ、或いはVCIは、DLCIを取得するためのポインタとして使用することができる。

ここで第12図を参照して、BTSIとトランスコーダ間のシェルフ内経路設定を伴うアップリンク・アドレス変換の流れ図が、本発明に従って示される。この工程は、BTSIが、レベル1アドレス変換を実施して、DLCIをVPIおよびVCIに変換することから開始する（ステップ1000）。このVPIは、スパン線番号に等しく設定され、VCIは、一時的数値に等しく設定される。次に、BTSIはレベル2変換、すなわちVCC変換を実施する（ステップ1002）。この変換の結果、CBS内では一意のVPIおよびVCIが生じて、CBRHを生成する。このVPIは、宛先スロット識別を含み、これは、例えば、宛先トランスコーダのスロット識別番号である。VPIの一部はまた、SHOレッグ番号を符号化するのにも使用できる。SHOレッグ番号は、1個の論理呼に対する複数のアクティブ・リンクのうち1つを識別する。このVCIは、音声処理番号を含み、SHOレッグ番号を識別する情報を含む場合もある。CBRHは、宛先トランスコーダのスロット識別番号に等しく設定される。

トランスコーダは、セルのペイロード内のデータを、適切なDSPに導くよう にセルのヘッダを処理する（ステップ1004）。セルのヘッダを処理する際、トランスコーダは、VPIを検査することによって、セルの正しい経路設定を検証する。また、トランスコーダは、VPIおよびVCIを復号して、指定されバッファに対するSHOレッグ番号を識別してセルを選択する。VCIは、音声処理番号（VPN）を検索するのに使用され、この番号は、データをトランスコー

ダ内の特定のD S Pに経路設定するのに使用される。

次に第13図を見ると、トランスコーダとB T S I間のシェルフ内経路設定を伴うダウンリンク・アドレス変換の流れ図が、本発明に従って示される。この工程は、トランスコーダがレベル1アドレス変換を実施して、D L C IをV P IおよびV C Iに変換することから開始する（ステップ1100）。V P Iは、V P Nを取得するために後で用いられるC R Nである。また、V P IはV P Nを直接識別することができる。V C Iはレッグ番号に対する一時的数値である。次に、トランスコーダは、レベル2アドレス変換を実施する（ステップ1102）。好適な実施例では、このアドレス変換は、V C Cアドレス変換であり、これは、シェルフ内において一意のアドレスを提供する。この変換において、V P Iは、宛先B T S Iスロット番号およびスパン番号を含む。V C IはC R Nを含み、C B R Hは、宛

先B T S Iのスロット識別番号を含む。B T S Iにおいて、セルのヘッダが処理される（ステップ1104）。セルのヘッダを処理する際、B T S Iは、V P Iを検査することによって、セルが正しく経路設定されたか検証する。V C Iは、スパン線番号およびD L C Iを取得するように復号される。D L C Iは、V C Iの直接変換によって含めることができ、或いは、V C Iは、ポインタとして使用されてD L C Iを取得することができる。

図の例ではB T S Iおよびトランスコーダを発信元ノードおよび宛先ノードとして使用するが、セルを経路設定するのに用いられた同じ工程を、他のタイプの発信元ノードおよび宛先ノードについても利用できる。例えば、2個のB T S Iが、発信元ノードと宛先ノードの両方を形成できる。第6図に示すシェルフ456内の網間インターフェース464などの網間インターフェースは、発信元ノードまたは宛先ノードになることができる。また、第6図に示すB I D 474も、本発明による発信元ノードまたは宛先ノードのいずれかになることができる。無論、図に示した以外の他のタイプの発信元ノードおよび宛先ノードも、本発明の工程で使用することができる。

ここで第14図を参照して、発信元ノードにおいてセルを経路設定するために

アドレス変換を実施するのに用いられるTRAM内のレコードの図が、本発明に従って示される。レコード1200は、VPIアドレス変換において使

用されるVPI変換レコードであり、経路設定のためにセルのヘッダに入れられるCBRH情報を含む。レコード1200はまた、VPIも含む。レコード1202, 1204はそれぞれ、VCC変換で使用されるVPI変換レコードおよびVCI変換レコードである。VPI変換レコード1202は、発信元ノードで発生する変換においてVCIを決定するのに用いられるVCIページ・オフセットを提供する。VCI変換レコード1204は、発信元ノードにおけるレベル2変換において、VCIおよびCBRHを提供するのに用いられる。

次に第15図を見ると、BTSI内のPPUに関連するTRAM内データ構造のブロック図が、本発明に従って示される。データ構造1300は、レコード1302など複数のレコードを含む。レコード1302は、本発明に従って、VPI部分1304, VCI上部1306, VCI下部1308を含む。このデータ構造は、レベル1アドレス変換で使用される。無論、他のタイプまたは構成のデータ構造も、レベル1アドレス変換のための情報を入れるのに使用できる。本発明に従って、VPIに対して、PDUが到着するスパン線番号を使用でき、DLCIは、VCIに対してマップできる。また、VPIおよびVCIは、DLCIを含めることができる。FUNIインターフェースが採用される場合には、VPIおよびVCIマッピングへの直接フレーム・アドレス指定も採用できる。別の部分におい

て、DLCIは、外部メモリに対するポインタとして使用されて、VPIおよびVCIに数値をマップすることができる。

次に第16図を見ると、BTSI内のBIDに関連するTRAM内のデータ構造のブロック図が、本発明に従って示される。このデータ構造は本発明に従って、レベル2アドレス変換において用いられる。データ構造1400は、VPI部分1402およびVCI部分1404を含む。レベル1アドレス変換において取得されたVPIは、VPI部分1402からVPI変換レコード1406を取得

するのに使用される。VPI変換レコード1406は、VCI変換レコードを決定するのに採用されるVCIページ・オフセットを含む。VCI変換レコード1408を取得するには、VPI変換レコード1406からのVCIページ・オフセットをそのページに追加して、当該アドレスのレコードを選択する。このレコードはCBRH、VCIおよびVPIを含み、VPIは、セルをバスに転送する前に予めセル内に入れられる。CBRHは、シェルフ間経路のBTC識別番号、およびシェルフ内経路の中でセルを受け取る側のノードのスロット識別番号に相当する。VPIは、トランスコーダが常駐する宛先シェルフのシェルフ識別番号を指定する。VCIは、セルに対する一意の識別子であり、CRNに等しく設定される。シェルフ内経路設定が発生する場合、VCIは、トランスコーダ内のDSPのVPNを

含む。

ここで第17図を参照して、トランスコーダ内に配置されたトランシーバと接続されるTRAM内のデータ構造のブロック図が、本発明に従って示される。このデータ構造は本発明に従って、レベル1アドレス変換において使用される。データ構造1500は、トランスコーダに関連するチャンネル内のアクティブ・レッグの数を識別するレコードを含む。各アクティブ・レッグは、1つの移動体装置から複数のBTSにおいて無線信号を受信したことを示す。複数のアクティブ・レッグは、SHOが進行中であることを示す。図の例では、6個の変換レコード1502から1512が、特定の呼に対する6個のSHOレッグに対して存在する。

トランスコーダが発信元ノードであり、BTSIが宛先ノードである場合に、データ構造1500が使用される。DSP識別番号は、アドレスを決定するのに使用され、1つのセルに割り当てるVPIを識別するためのレコードを含む。VCIは、1つのSHOレッグに関連する1個のレコードの内容として割り当てられる。1つの呼に関連する後続の各セルのVCIは、次の未使用のレコードを使って設定される。これらのVPI値およびVCI値はトランスコーダ内では一意であるが、残りのCBS内では一意ではない。

次に第18図を見ると、トランスコーダ内のBIDに関

連するTRAM内のデータ構造のブロック図が、本発明に従って示される。このデータ構造は本発明に従って、レベル2アドレス変換において使用される。データ構造1600は、VPI部分1602およびVCI部分1604を含む。VPI部分1602は、VPI変換レコード1606などのVPI変換レコードを取得するために用いられ、これはVCIページ・オフセットを含む。VPI番号はまた、VCI部分1604内のページ番号である。VPI変換レコード1606からのVCIページ・オフセットが、ページに追加されて、VCI変換レコード1608を含むアドレスを取得する。このVCI変換レコードは、VPI、VCIおよび宛先ノードへの移動のためにバスに転送される前にセルのヘッダに入れられるCBRH情報を含む。CBRHは、シェルフ内またはシェルフ間経路のどちらを使用してセルを移動するかに依存して、宛先BTSIまたはBTCのいずれかに当該セルを向ける。シェルフ間経路の場合、VPIは、宛先BTSIシェルフ識別番号を示し、VCIは、DLCIまたはチャネル番号を取得するために後で用いられるCRNを含む。シェルフ内経路の場合、VPIは、宛先BTSIのスロット識別番号およびスパン線番号を識別する。VCIは、CRNまたはチャネル番号のいずれかを含む。

ここで第19図を見ると、中間ノードのBID TRAM内のデータ構造のブロック図が、本発明に従って示される。

データ構造1700は、BID-A、BID-BおよびBID-Cに対する、TRAM内のVCI変換のための入力項目を含む。セルのVPIは、VPI変換レコード1702のアドレスを決定するのに使用される。このVPI変換レコードは、VPIおよびCBRHを含む。CBRHは、セルを、宛先ノード、または宛先ノードに至る経路内の次のBTCのいずれかに向けるのに使用される。VPI変換レコード1702内のVPIフィールドは常に、この変換レコードにアクセスするのに使用される同一のVPIを含む。すなわち、VPIは、アドレス変換では変化せず、CBRHのみがセルのヘッダ内で置き換わるだけである。BTCノ

ードに到着する各入力セルは、テーブルを参照して、経路の次のレッグを決定するための単純な規則に従って処理されるため、本発明による静的経路設定の利点は、ここでも明らかである。外部の「処理」作業は不要である。すなわち、入力VPI/VCIアドレスの単純なルックアップ変換は、専用の資源が（制御プロセッサ）介在しなくとも、正しい情報（新しいVPI/VCI）を自動的に検索する。上記の改良は、ATM網を通じてメッセージを経路設定するのに後で用いられるメモリを静的にセットアップした結果得られたものである。

ここで第20図を参照して、BID-Z TRAM内のデータ構造のブロック図が、本発明に従って示される。データ構造1800は、VPI変換レコード部分1802およ

びVCI変換レコード部分1804を含む。宛先BTC内のセルは、BID-Zを使って宛先ノードへと経路設定され、宛先ノードは、VCCアドレス変換を用いて、宛先ノードに対するCBRHを抽出する。VPIは、VPI変換レコード1806内にあるVCIページ・オフセットを取得するのに用いられる。VCIページ・オフセットは、VCI変換レコード部分1804からVCI変換レコード1808を取得するのに使用される。VCI変換レコード1808は、BTSIまたはトランスコーダなどの宛先ノードに対してセルを経路設定するためにCBRHを含む。このレコードはまた、セルを特定のデジタル信号プロセッサー（DSP）またはBTSのスパン・チャネル番号および未使用のVPIに関連づけるVCIを含む。

ここで第21図を見ると、CBS内に経路をセットアップするための流れ図が、本発明に従って示される。この工程は、CBS内の発信元ノードを識別することから始まる（ステップ1900）。その後、この工程は、CBS内の宛先ノードを識別する（ステップ1902）。ついで、未処理の発信元ノードが選択されて処理される（ステップ1904）。この工程はついで、選択された発信元ノードに対する宛先ノードをすべて決定する（ステップ1906）。発信元ノードと各宛先ノード間の経路が選択される（ステップ1908）。ついで、処理を行うべき発信元ノードがさらに存在するか否かを判断する（ステップ19

10)。さらなる発信元ノードが存在する場合には、工程はステップ1904に戻る。そうでない場合には、工程はついで、C B S C内の各ノード内の経路を識別する経路設定情報を格納し(ステップ1912)、その後工程は終了する。この工程は、C B S Cが呼の経路設定を開始する前に、最初に実施される。この工程はまた、本発明により追加ノードを加えることに応答して、実施することもできる。

各B I Dに対するT R A Mは、次の規則によって満足される：

1. $V P I_{cell} =$ ノード(N)の場合には、シェルフに経路を設定
2. $V P I_{cell} =$ ノード(レンジN)、および \neq ノード(レンジN)の場合には、フレーム内シェルフに経路を設定
3. $V P I_{cell} =$ ノード(レンジM)の場合には、フレーム間シェルフに経路を設定

または

4. その他の場合には、フレーム内シェルフに経路を設定。

ここで：

$V P I_{cell}$ は、経路設定されるセルのV P I。

ノードNは、セルが現在配置されるノード。

ノード(レンジN)は、ノードNと同じフレーム内のノード。

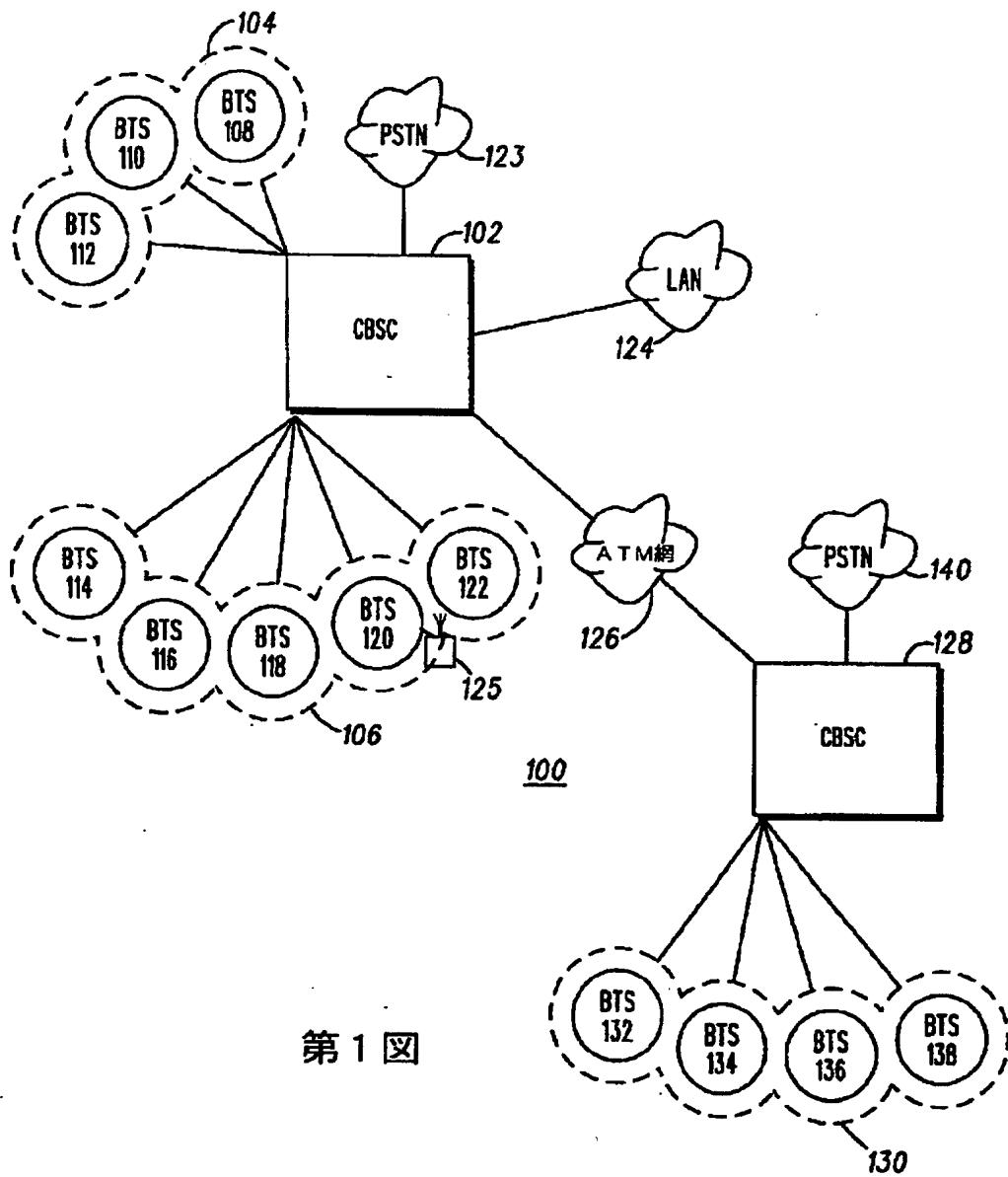
ノード(レンジM)は、ノードNと接続されるフレーム内のノードである。すなわち、V P Iが、シェルフ上に配置されたノードに対する識別子を含む場合には、セルは当該シェルフに経路設定される。シェルフが、フレーム間リングを介して別のシェルフと接続される場合には、セルはB I D-Dに経路設定されて、フレーム間リングに沿って移動する。ノードが、セルが配置されるシェルフと接続される別のフレーム上に配置される場合には、セルはB I D-Cに経路設定されて、当該フレームに移動される。そうでない場合には、宛先ノードは、セルが配置されるこの特定のシェルフとの直接的な接続がないフレーム内のシェルフに配置される。そのような場合、セルは、適切なフレームにセルを経路設定できる別のシェルフを見つけるべく、フレーム間リングに沿ったフレーム間シェルフ

に経路設定される。

このため、本発明は、発信元ノードと宛先ノード間でセルを経路設定するための改良された方法および装置を提供する。本発明に基づき、発信元ノードと宛先ノード間の経路が発信元ノードによって局所的に決定されるような、柔軟性のある経路設定方式が提供される。本発明は、宛先ノードに至る経路を選択するのに中間ノードを必要としないという利点を提供する。これらの経路は予め設定される。中間ノードは、セルを、発信元ノードによって選択された経路に基づく次のノードに経路設定する。このため、呼ご

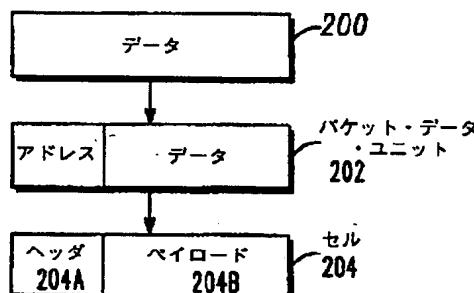
とのノード間セットアップが不要となり、その結果、呼のセットアップが迅速化する。本発明はまた、経路設定が予め決められるために、メンテナンスが少なくて済み、呼ごとに、リアルタイムのシステム・ローディングをモニターする必要性、またはランニング・コストを最小限にするルーティングの必要性を排除するという利点を備える。

【図1】



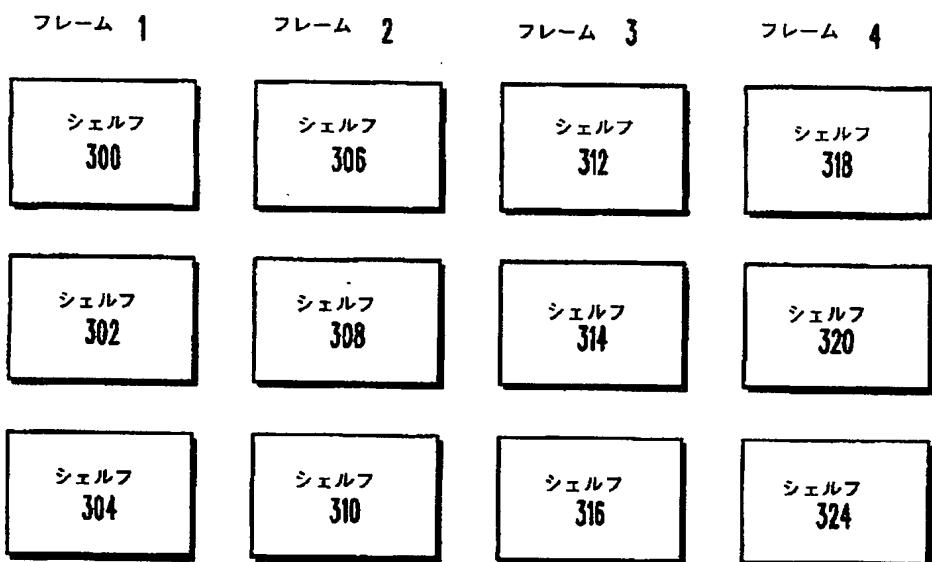
第1図

【図2】



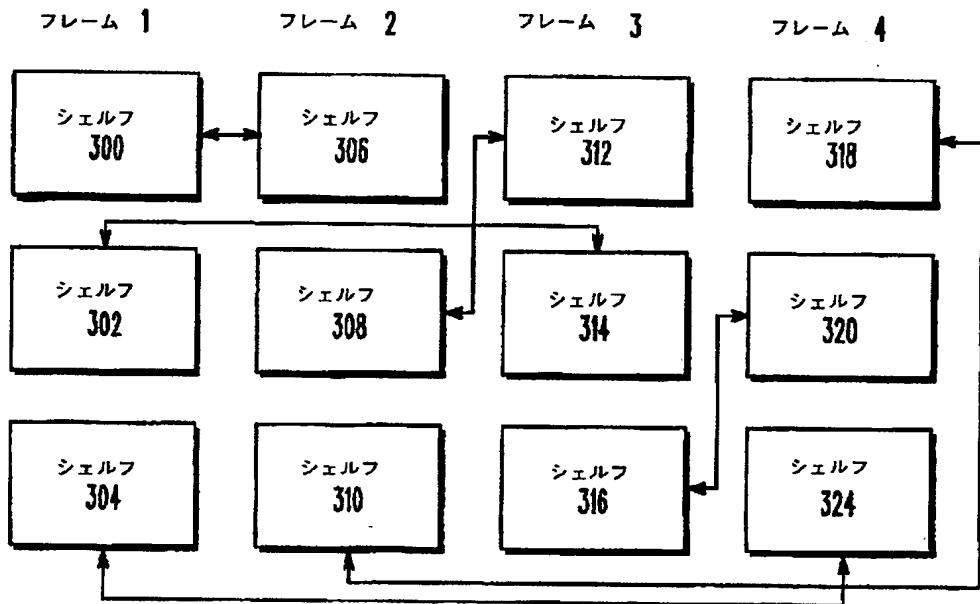
第2図

【図3】



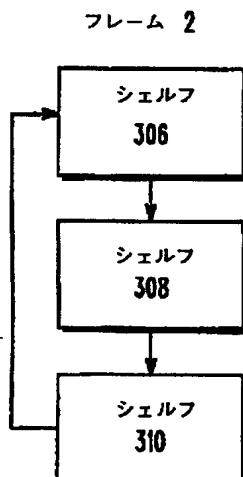
第3図

【図5】



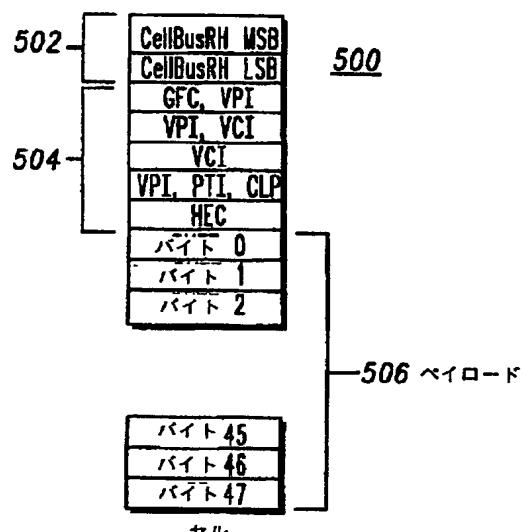
第5図

【図4】



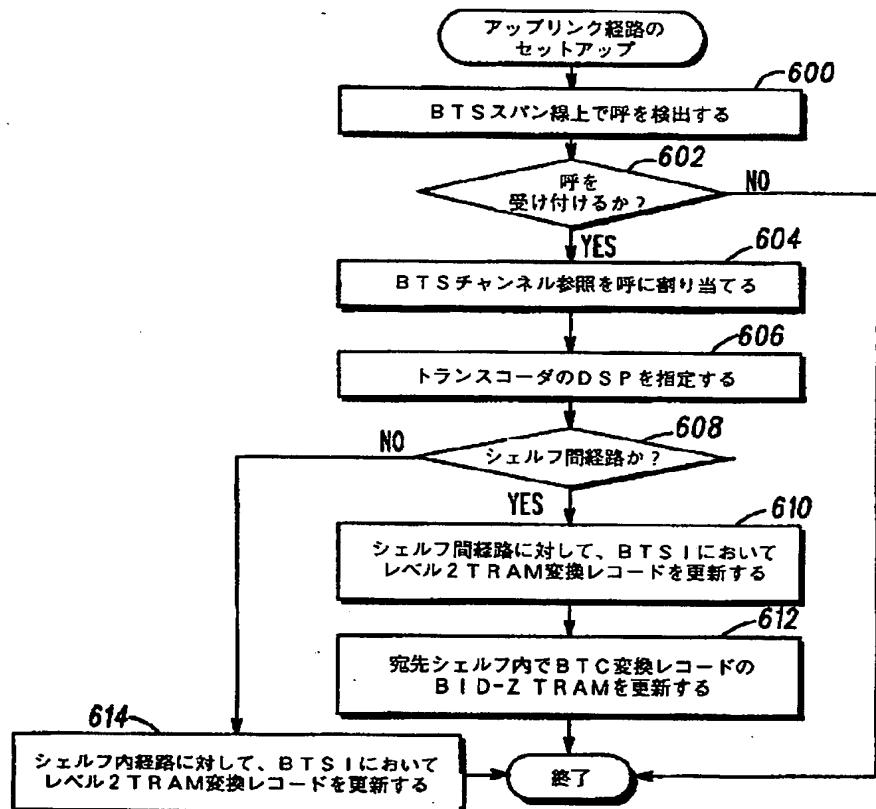
第4図

【図7】



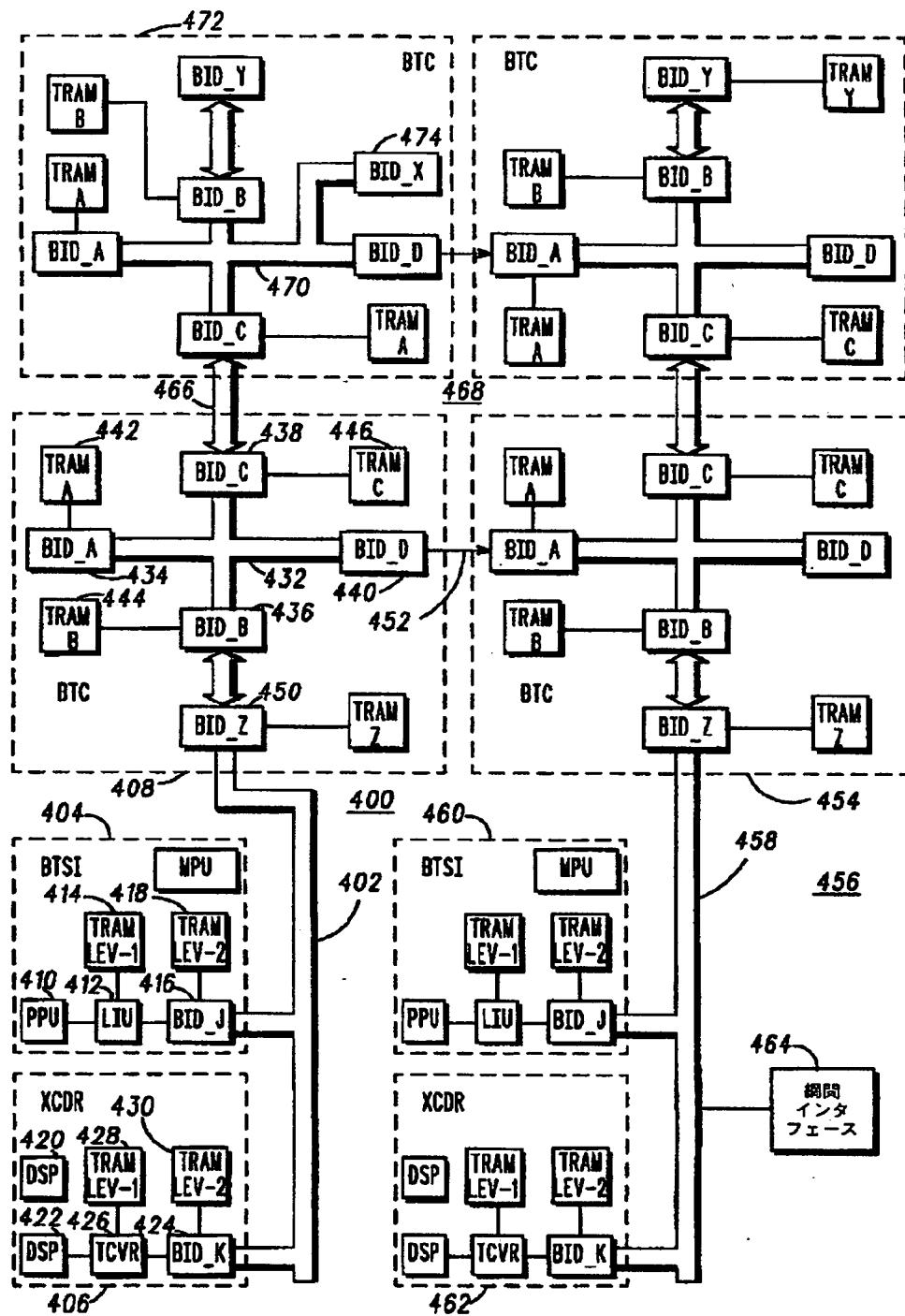
第7図

【図8】



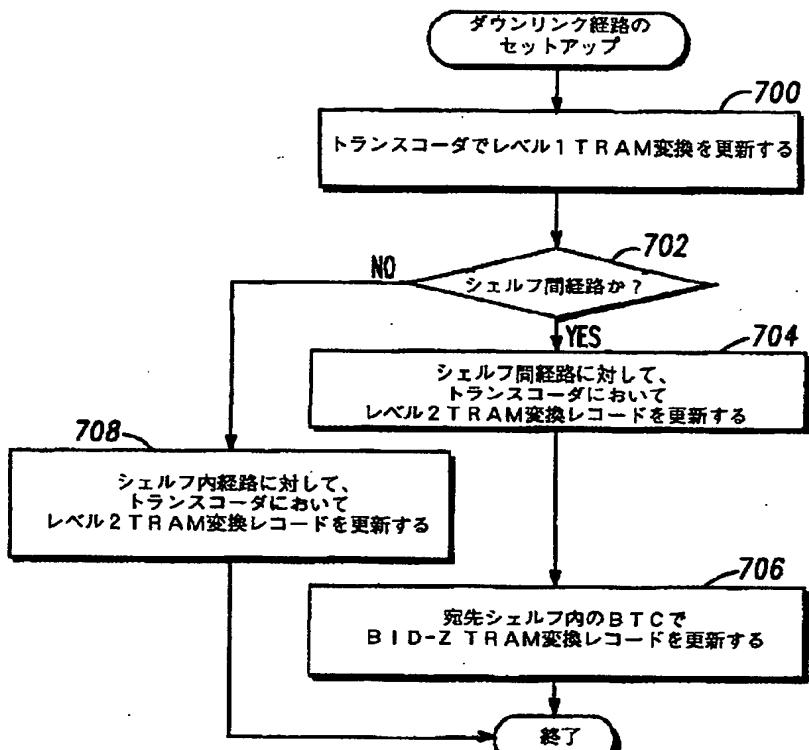
第8図

【図6】



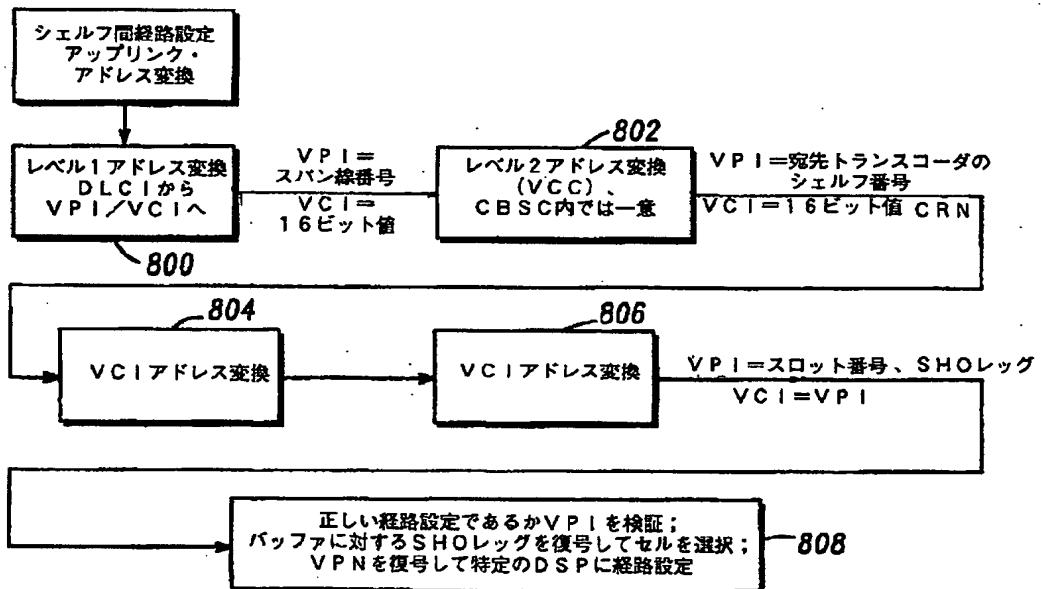
第6図

【図9】



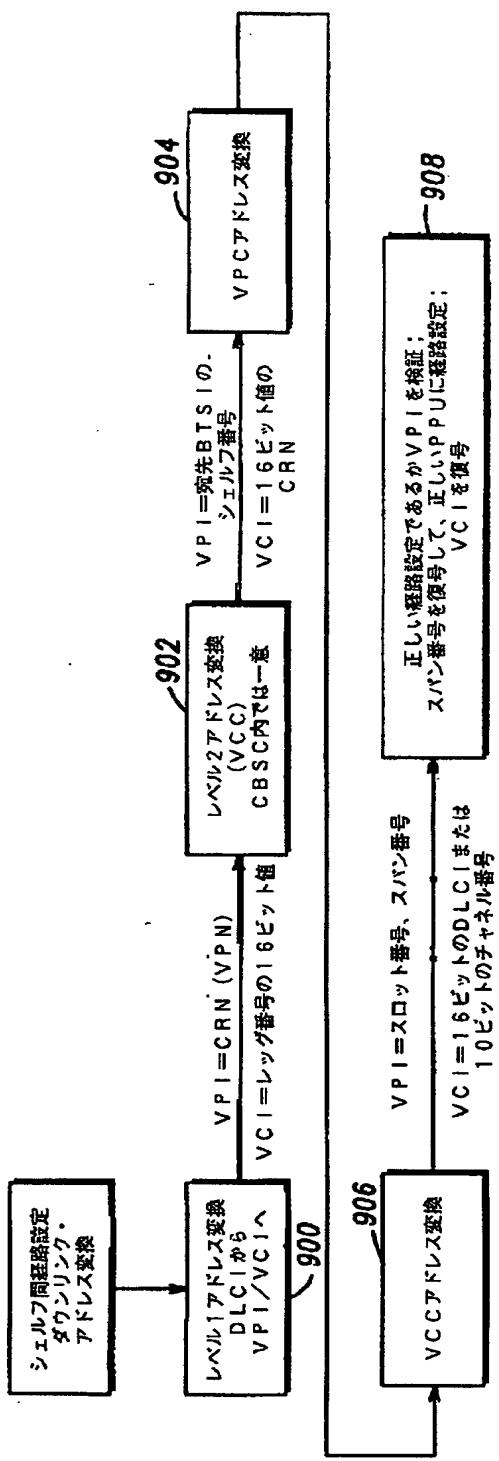
第9図

【図10】



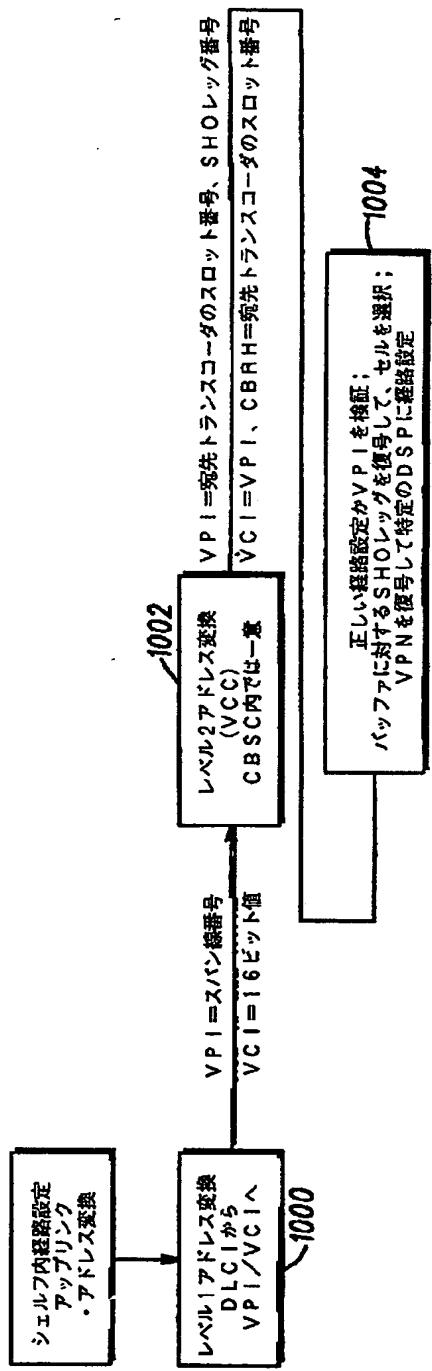
第10図

【図11】



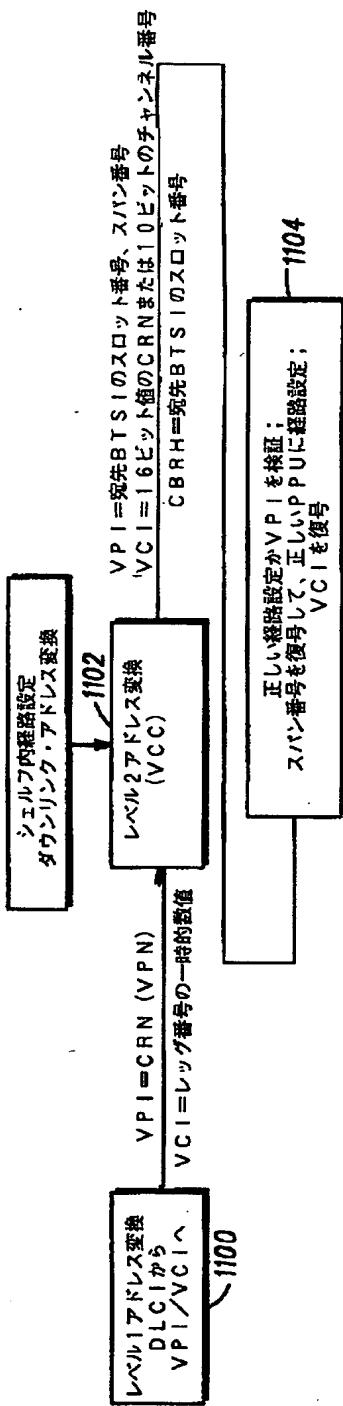
第11回

【図12】



第12図

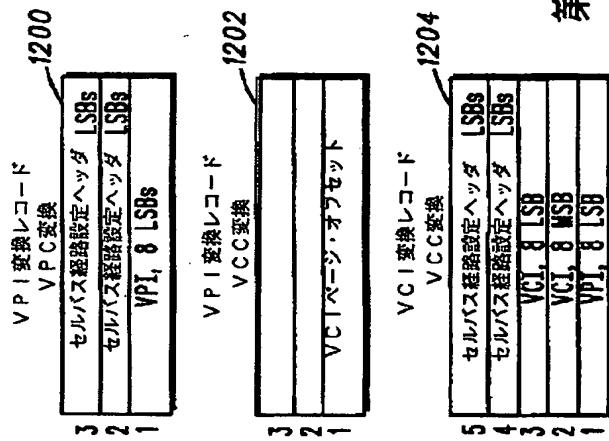
【図13】



第13図

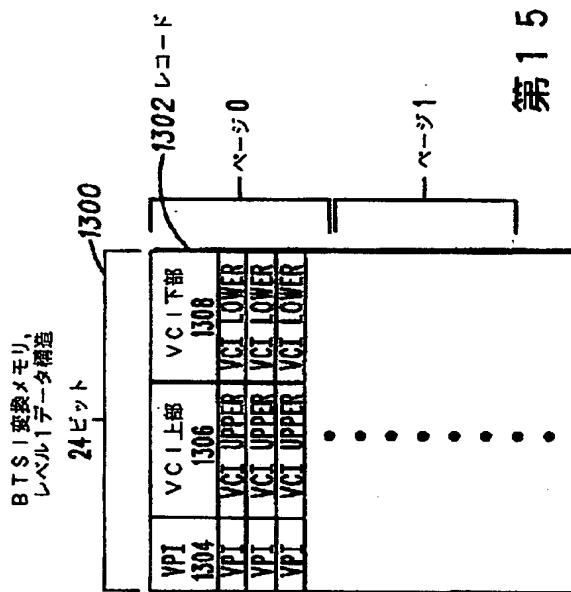
【図14】

第14図

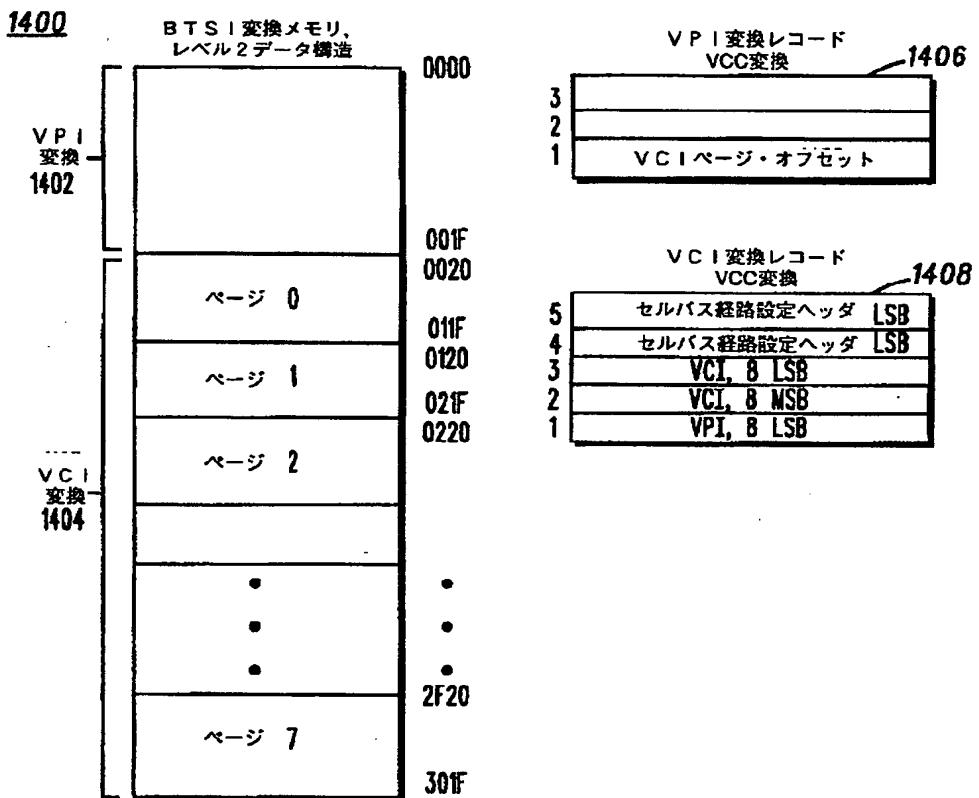


【図15】

第15図

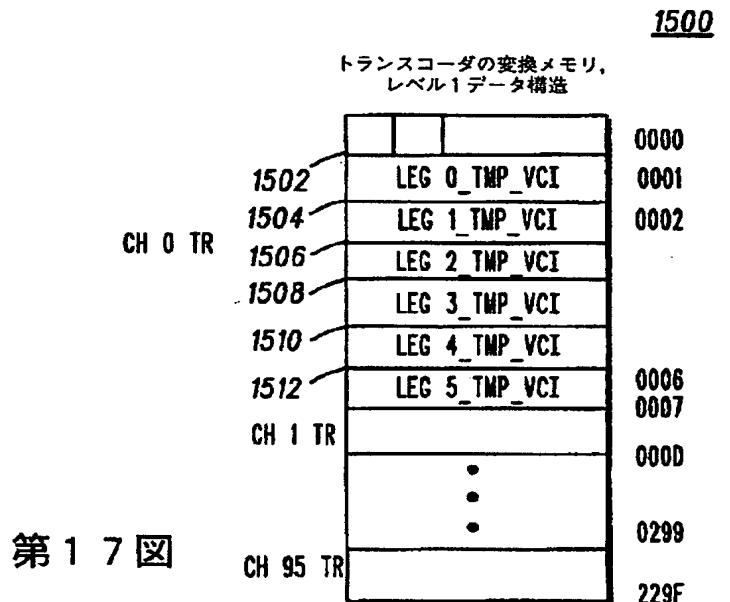


【図16】



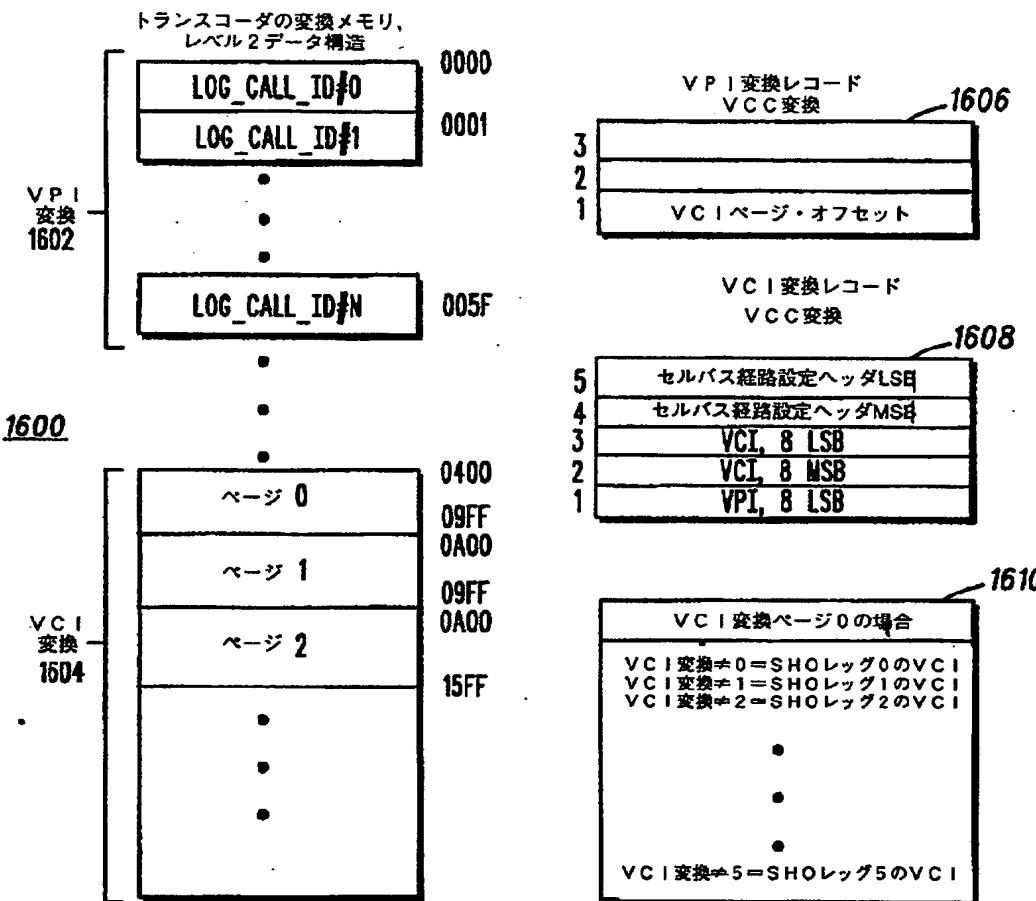
第16図

【図17】



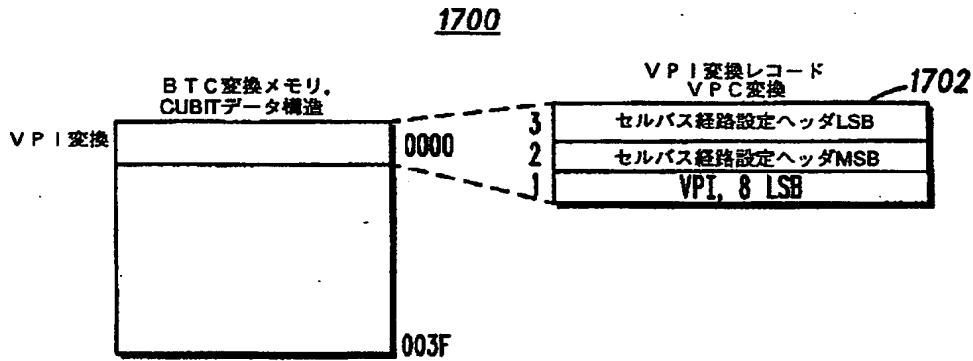
第17図

【図18】



第18図

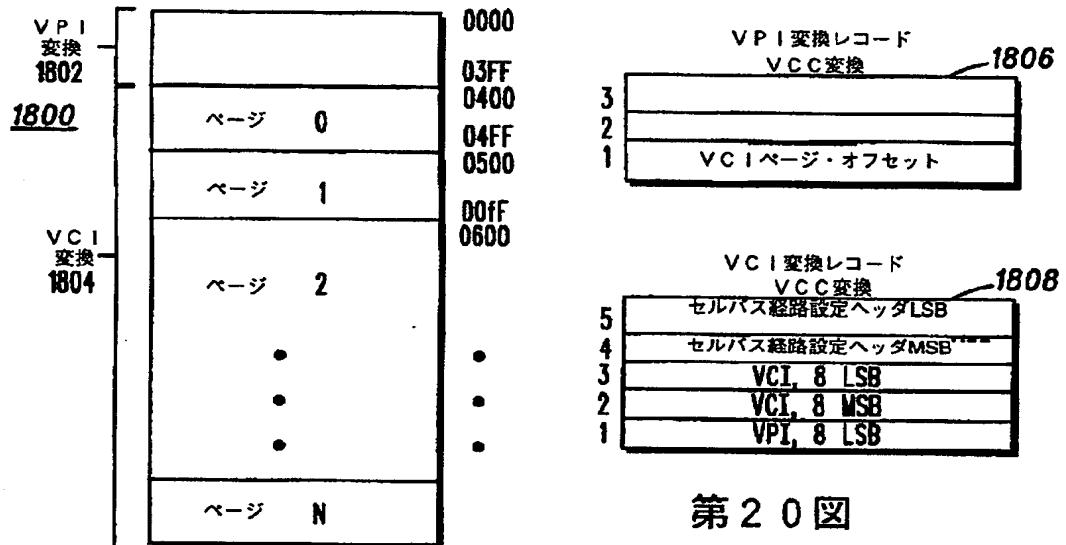
【図19】



第19図

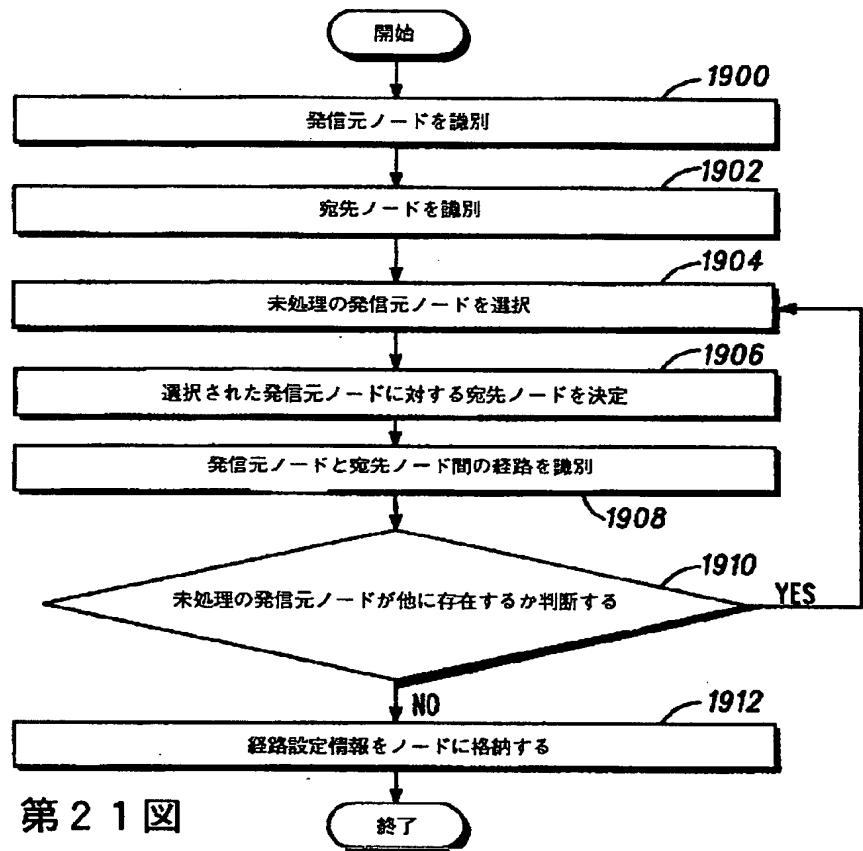
【図20】

B T C C U B I T Z 変換メモリ, レ
ベル2データ構造



第20図

【図21】



第21図

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US97/00436
A. CLASSIFICATION OF SUBJECT MATTER IPC(6) I:04L 12/56 US CL 370/395, 397 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 370/395, 396, 397, 408, 409		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, 5,440,547 A (EASKI ET AL) 08 August 1995, Figs. 30,31	1-10
X	"ATM" theory and application by D. McDysan et al, 1995, page 199, fig.7.11	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "C" documents which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "D" document referring to an oral disclosure, use, exhibition or other means "E" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 28 FEBRUARY 1997		Date of mailing of the international search report 14 APR 1997
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer  AJIT PATEL Telephone No. (703) 308-5347